

1. 概略

YAENAMI は様々なタイプの SiPM の信号処理を簡易に行うために KEK IPNS E-sys グループで開発が行われた ASIC で、SiPM の波形取得に必要な様々な機能が集積化されている。図 1 に YAENAMI のトップレベルのブロック図を示す。YAENAMI は 8 チャンネルの SiPM 信号の同時読出しが可能であり、各チャンネルに以下の機能を備えている。

- Amp Shaper Discriminator (ASD)
 - Amp: 可変利得電圧増幅器 (DC カット容量付)
注: YAENAMI は電荷増幅器ではなく電圧増幅器を用いている
 - Shaper: 可変時定数波形成形器
 - Discriminator(Comparator): 3.3V, 10bit しきい値調整機能付き比較器 (1bit/ch 出力)
- SiPM バイアス調整用 DAC (3.3V, 10bit 分解能, DC 出力)
- ASD アナログ出力観測用 ADC (1.2V 10bit 分解能, ~100MS/s)
- ADC データ出力用シリアライザ (10:1)
- LVDS ドライバ (~1Gbps)

ASD の利得・時定数可変機能や DAC の電圧調整は SPI からのレジスタ設定によって行うことができ、実験の用途に合わせてユーザーがカスタマイズできるよう設計されている。また、この ASIC には PLL が内蔵されており、ASIC の基準クロック入力に ADC のサンプリングレートと同一の周波数を与えると ADC のデジタル出力とシリアライザが自動的に同期し、安定したデジタル出力が得られるようになっている。それぞれの詳細な機能について 2. 各回路の機能 にて述べる。

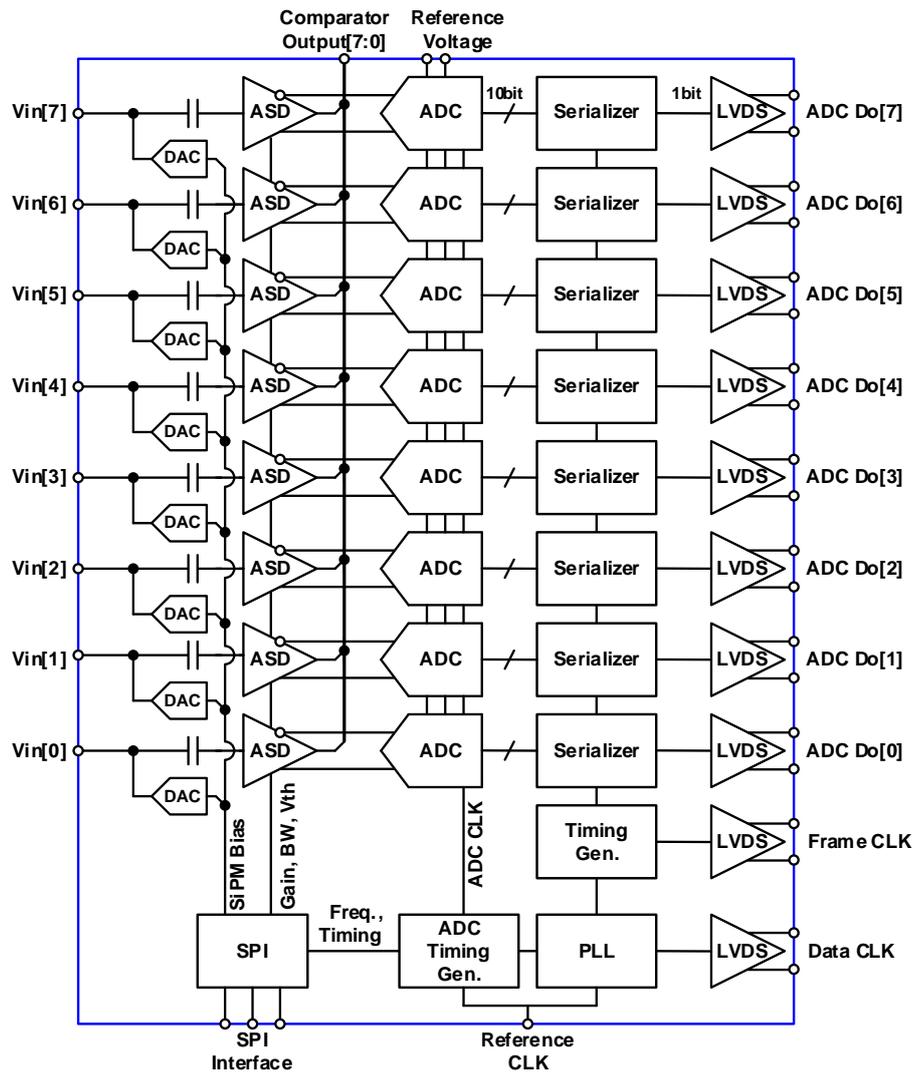


図1 YAENAMIの構成(トップレベル)

2. 各回路の機能

2. 1 ASD 及び SiPM バイアス調整用 DAC

図2に ASD 及び SiPM バイアス調整用 DAC の 1 チャンネル分の構成を示す。ASD の回路ブロックとして、可変利得増幅器(VGA)、波形成形器(SHP)からなるアナログ信号増幅器部分と、アナログ信号のタイミング情報を 1bit のデジタル信号に変換する比較器及びしきい値調整 DAC、このデジタル信号の最小パルス幅を補償する最小パルス幅補償回路、及び SiPM バイアス調整用 DAC から構成されている。ASD により増幅されたアナログ信号はシングル-差動変換器を介して差動信号に変換され、後段に設置されている ADC へ出力される。また、この信号は 8ch 中任意の 1ch のみアナログバッファを介して ASIC 外部へ出力することもできる。アナログ入力端には容量 C_{TP} が設けられており、TP ピンから 0-1.2V (固定値) のデジタル信号を入力することでテスト信号を入力することができる。

それぞれの回路ブロックの機能は後述する SPI 回路を通じてレジスタ値を変更することで制御できる。以下これらの機能をそれぞれにまとめる。

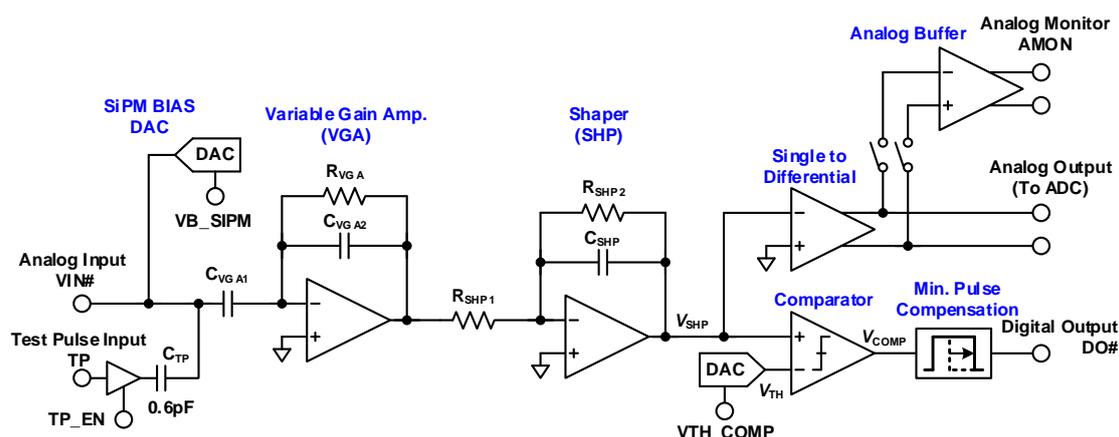


図2 ASD 及び SiPM バイアス調整用 DAC の 1 チャンネル分の構成

2. 1. 1 電圧利得、時定数可変機能

VGA や SHP に用いられている抵抗値や容量値は、それぞれ 3bit のレジスタで制御されており、これらの値を変更することで利得や時定数を変化させることができる。VGA の伝達関数 (電圧利得) G_{VGA} は、 R_{VGA} が十分に大きく、オペアンプの利得・帯域幅が十分に大きいと仮定して、

$$G_{VGA} \cong -\frac{C_{VGA1}}{C_{VGA2}}$$

と表される。よって VGA の電圧利得を大きくしたい場合は C_{VGA1} を C_{VGA2} と比較して大きく取ればよい。

また、SHP の伝達関数は、

$$G_{SHP} \cong -\frac{R_{SHP2}}{R_{SHP1}} \cdot \frac{1}{1 + sC_{SHP}R_{SHP2}}$$

となる。SHP の電圧利得を大きくしたい場合は R_{SHP2} を R_{SHP1} と比較して大きく取ればよい。時定数 τ は $\tau = C_{SHP}R_{SHP2}$ で表され、 τ が長いほどパルス幅は広がるが、波高値は低くなる。 τ が長いほうが高周波領域の雑音が抑制されるので、高 SNR が求められる場合は τ を長くする方が良いが、高速応答性は失われるため実験の仕様により適切な値に設定する必要がある。なお、VGA、SHP はそれぞれ反転増幅器であるが、反転増幅が 2 段行われることになるため SHP の出力はアナログ信号入力 V_N に対して正転で出力される。

レジスタの設定値に対する抵抗及び容量の値はそれぞれ以下の通りである。

表 1. ASD のレジスタ設定値と容量・抵抗値の関係

(a) C_{VGA1}

C_VGA1			C_{VGA1} (pF)
0	0	0	2.0
0	0	1	4.0
0	1	0	4.0
0	1	1	6.0
1	0	0	4.0
1	0	1	6.0
1	1	0	6.0
1	1	1	8.0

(b) C_{VGA2}

C_VGA2			C_{VGA2} (pF)
0	0	0	0.25
0	0	1	0.50
0	1	0	0.75
0	1	1	1.00
1	0	0	1.25
1	0	1	1.50
1	1	0	1.75
1	1	1	2.00

(c) R_{SHP1}

R_SHP1			R_{SHP1} (k Ω)
0	0	0	60
0	0	1	45
0	1	0	30
0	1	1	30
1	0	0	15
1	0	1	15
1	1	0	15
1	1	1	15

(d) R_{SHP2}

R_SHP2			R_{SHP2} (k Ω)
0	0	0	60
0	0	1	45
0	1	0	30
0	1	1	30
1	0	0	15
1	0	1	15
1	1	0	15
1	1	1	15

(e) C_{SHP}

C_SHP			C_{SHP} (pF)
0	0	0	0.1
0	0	1	0.2
0	1	0	0.3
0	1	1	0.4
1	0	0	0.5
1	0	1	0.6
1	1	0	0.7
1	1	1	0.8

2. 1. 2 SiPM バイアス調整

SiPM の光-電荷変換利得は印加するバイアス電圧により調整可能であるが、SiPM の製造ばらつきにより複数の SiPM に同じバイアス電圧を与えてもそれぞれ利得が異なる場合がある。それぞれの SiPM にバイアス電圧を発生させる高電圧電源から個別に異なる電圧を与えることで利得をそろえることは可能であるが、集積度、制御性、コストの観点からデメリットが大きい。このため YAENAMI ではアナログ入力端の電圧をバイアス調整用 DAC により制御することで、ある程度の範囲のばらつきを許容することができる。SiPM バイアス調整用 DAC の電氣的仕様を以下にまとめる。DAC のデジタル入力は SPI からのレジスタ値で決定され、各チャンネルの VB_SIPM レジスタにより制御される。

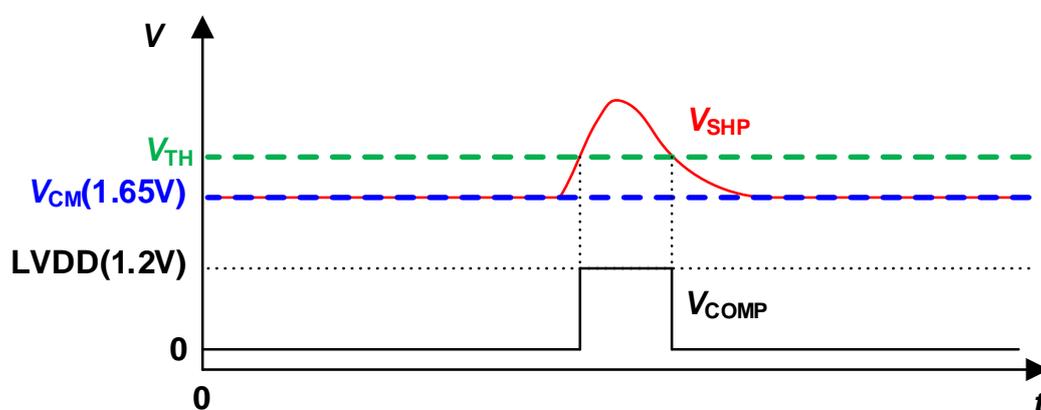
表 2. SiPM バイアス調整用 DAC の電氣的仕様

項目	値
分解能	10bit, ストレートバイナリ
出力電圧範囲	0~HAVDD (3.3 V)
サンプリングレート	SPI の更新頻度に準拠するが DC での使用を想定
出力抵抗	6.5 k Ω , 電流吐き出し、吸い込み両対応
DNL	± 0.5 LSB
INL	± 1.0 LSB

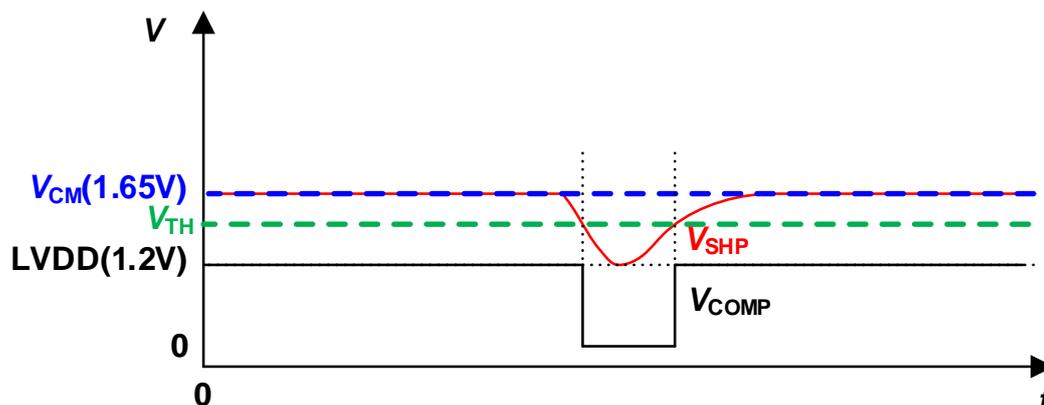
2. 1. 3 比較器及び最小パルス幅補償

比較器は SHP からの出力 V_{SHP} と比較器のしきい値調整用 DAC の電圧 V_{TH} を比較し、 V_{SHP} が高い時には 1 を、低い時には 0 を出力する。比較器のしきい値調整用 DAC は SiPM 調整用 DAC と同じ電氣的仕様となっており、 V_{TH_COMP} レジスタにより制御される。

図 3 に V_{SHP} 、 V_{TH} 、および比較器出力 V_{COMP} の関係を示す。 V_{SHP} はアナログコモンモード電圧 V_{CM} (アナログコモンモード電圧調整用 DAC で設定) をベースラインとして出力される。比較器しきい値電圧 V_{TH} はベースラインを基準として、正電荷入力の場合には V_{CM} より高く (図 3(a))、負電荷入力の場合には V_{CM} より低く (図 3(b)) 設定すればよい。



(a) 正電荷入力の場合



(b) 負電荷入力の場合

図 3 SHP 出力 V_{SHP} と比較器出力 V_{COMP} の関係

V_{SHP} の波高値が V_{TH} の設定値をわずかに超える場合には、 V_{COMP} のパルス幅が極端に短くなり、デジタル出力 DO のパルス幅も同様に短くなる。DO は RAYRAW 上の FPGA に搭載されている TDC に入力されているが、極端に短いパルス幅が TDC に入力されると

表3 最小パルス幅補償回路のパルス幅と MIN_DLY 値の関係

MIN_DLY			遅延量	遅延量(75MHz)
0	0	0	$T_{CLK}/10$	1.33ns
0	0	1	$2 T_{CLK}/10$	2.67ns
0	1	0	$3 T_{CLK}/10$	4.00ns
0	1	1	$4 T_{CLK}/10$	5.33ns
1	0	0	$5 T_{CLK}/10$	6.67ns
1	0	1	$6 T_{CLK}/10$	8.00ns
1	1	0	$7 T_{CLK}/10$	9.33ns
1	1	1	$8 T_{CLK}/10$	10.67ns

2. 1. 4 シングル-差動変換及びアナログ信号モニタ機能

V_{SHP} の出力はシングル-差動変換回路によって差動信号に変換され ADC に送られる。シングル-差動変換回路の変換利得はレジスタ値 S2D_GAIN(2bit)により変更することができ、以下のような対応関係となっている。ただし変換利得は大まかな値であり、絶対精度には 10%程度のばらつきを含んでいることに注意すること。

表 4 シングル-差動変換の利得と S2D_GAIN の関係

S2D_GAIN		変換利得
0	0	0.5
0	1	0.67
1	0	0.95
1	1	1.67

また、差動変換後のアナログ信号はアナログバッファを介して任意の 1 チャンネル分だけアナログモニタピン(ASD_MON_P, N)から信号を読み出すことができる。アナログ信号を観測したいチャンネルのレジスタ値 A_MON(1bit)を 1 と設定することで信号を読み出すことができる。この際に同時に複数チャンネルの A_MON の値を 1 としないようにすること。複数チャンネルに対して 1 を設定した場合は直ちに回路が故障することは無いが、想定外の使用となるため避けること。

2. 1. 5 アナログテスト信号入力

アナログ入力端には容量 C_{TP} が設けられており、TP ピンから 0-1.2V (固定値、アナログ入力には対応していないことに注意) のデジタル信号を入力することでテスト信号を入力することができる。 C_{TP} はおおよそ 0.6pF の容量値であり、 $\Delta Q = C_{TP} \Delta V$ より約 0.72pC 相当の電荷を注入することができる。これは SiPM の増幅度が 10^6 である場合、4.5p.e.相当の電荷が注入されることとなる。電荷が注入されるタイミングは TP の立ち上がりまたは立ち下がりエッジである。テストパルスの信号を入力するためには TP_EN を 1 とする必要がある。TP_EN レジスタはそれぞれのチャンネルに設けられており、個別のチャンネル及び複数のチャンネルの同時テストに対応できる。

表5 シングル-差動変換の利得と S2D_GAIN の関係

TP_EN	TP	電荷注入量 (pC)
0	0→1	0
0	1→0	0
1	0→1	+0.72
1	1→0	-0.72

2. 2 アナログ・デジタル変換器 (ADC)

ASD からのアナログ信号をデジタル信号に変換するために各チャンネルに 10bit 分解能, 最高 100MS/s のサンプリングレートで動作する ADC が実装されている。ADC のサンプリングレートは YAENAMI に入力する基準クロックによって決定される。ADC の入力端には ASD と電氣的にアイソレートするために利得約 1 倍のアナログバッファ回路が設けられている。このアナログバッファ回路は DC カットされているため、ASD からのアナログ信号のオフセット電圧に対して感度を持たない。ADC の電氣的仕様を表 6 にまとめる。

表 6 ADC の電氣的仕様

項目	値
分解能	10bit, 2 の補数出力 0b1111111111 (負の最大値) ~ 0b0111111111(正の最大値)
入力電圧範囲	差動、-AVDD(-1.2V)~+AVDD (+1.2 V)
サンプリングレート	最大 100MS/s (基準クロックで決定)
DNL	± 0.5LSB
INL	± 1.0LSB

2. 2. 1 ADCのキャリブレーション

YAENAMI に搭載されている ADC は DNL, INL の精度改善のためにキャリブレーション機能を有している。ADC_CAL_EN のレジスタ値を 1 に設定することでキャリブレーションモードに入り、ADC に用いられている比較器のオフセットばらつきを低減する動作を行う。この際にはアナログ信号入力を受け付けず、デジタル出力も固定値（キャリブレーションモードに入る直前のデジタル値）が出力され続けるようになる。比較器のオフセット情報は比較器それぞれに搭載されているレジスタに保持され、電源を OFF にするかレジスタのリセット（ADC_CAL_R レジスタを 1）にするまで保有し続ける。また、キャリブレーション動作には ADC に正しくクロックが入力されている必要があるため、YAENAMI に基準クロックを与えてから 0.1ms 以上（上限なし）経過した後で ADC_CAL_EN を 1 にする。ADC のキャリブレーション動作には 2^{14} サイクル以上（上限なし）のクロックを与える必要がある。キャリブレーション動作が完了したのち、各チャンネルの ADC の動作タイミングをそろえるために ADC にリセット（ADC_R レジスタを 1）をかける。リセット期間は 4 サイクル以上（上限なし）のクロックを与える必要がある。ADC のリセット解除後、次のクロックから通常動作に移行する。なお、これらの操作は基準クロックと同期している必要はない。

以上をタイミングチャートにまとめると図5のようになる。この動作は電源投入後に必ず1度行う必要がある。ASD の利得など他のレジスタ設定を変更した後で再度行う必要はない。

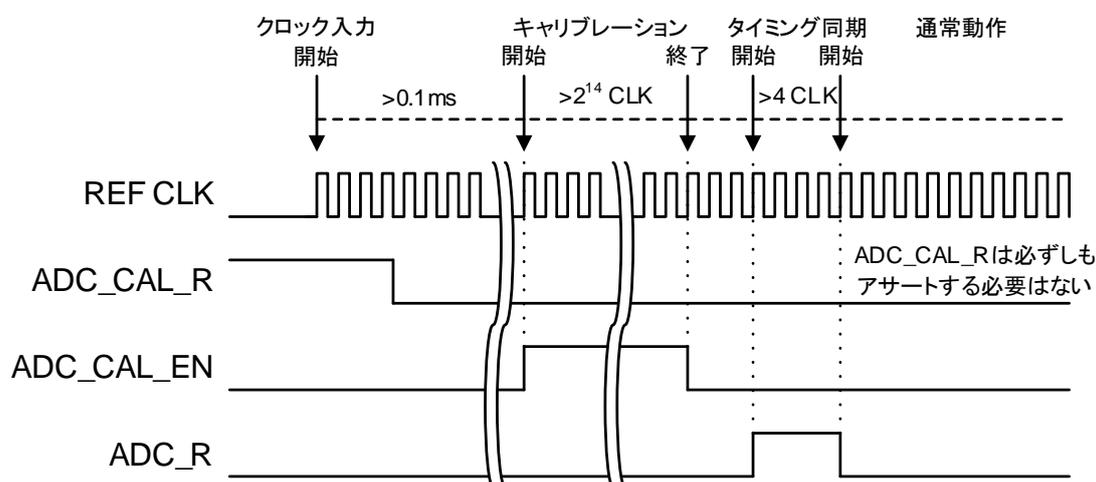


図5 ADCのキャリブレーション動作タイミングチャート

2. 2. 2 ランダムディザによる線形性の改善

YAENAMI に搭載されている ADC は低消費電力動作に特化しているため、DNL、INL の精度は民生品の同じ分解能(10bit)を持つ ADC と比べて劣っている。これらの精度が測定に与える影響について考慮する必要があり、特に DNL はエネルギースペクトラムを観測する際に問題となる。ADC のキャリブレーション後の DNL は概ね $\pm 0.5\text{LSB}$ には収まるよう設計されているが、 -0.5LSB と $+0.5\text{LSB}$ ではコードの出現頻度に 3 倍の差が生じる。このためユニフォームな信号が入力されている場合でも統計を取ると疑似的なピークが出ているように観測される。図 6 は YAENAMI に対し、ADC のコードに換算して 65~79 の範囲でランダムにユニフォームなアナログ信号を 10,000 回入力した際の ADC のピーク値の頻度を示している。理想値は青線で示されるようにすべて一定の値を示すべきだが、測定値では赤線のように疑似ピークが観測されている。65 や 79 付近はノイズの影響もあるので除外すると、コード 70 で最小、コード 76 で最大となっており、2.8 倍程度の差が生じていることがわかる。

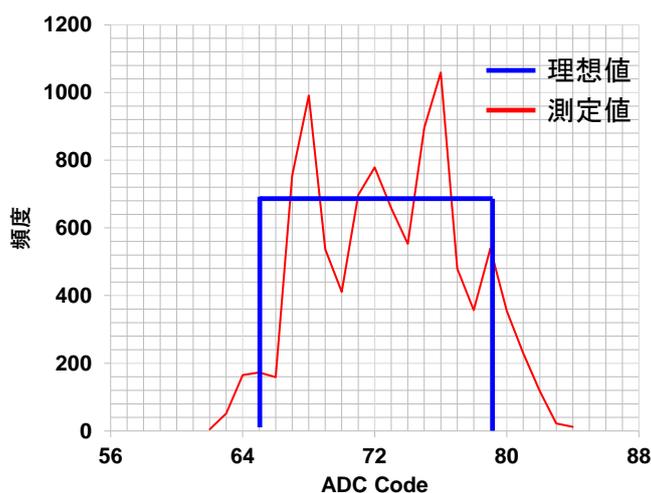


図 6 ADC の DNL による疑似ピーク

この問題を緩和するため、図 7 に示すように疑似ランダム信号を用いたディザを入力することで DNL の誤差を拡散する機構を設けた。図 8 にこの回路の効果を示す。測定の条件は前に述べたものと同様である。図 8 の赤線は $\pm 8\text{LSB}$ のディザを注入したときの結果で、用いなかった時に現れていた疑似ピークが概ね無視できる程度まで軽減できている。この機能は PRBS_EN 及び PRBS_MODE のレジスタ値で制御しており、機能との対応は表 7 に示す通りである。ディザの注入量が高いほど効果が高いが、ADC の最大、最小に対して 8LSB 分正常に変換できる範囲が狭まることに注意が必要である。実用的には ASD のアナログ出力の飽和のほうが早く、ADC の上下 8LSB まで使われることは無いため大きな問題は生じない。

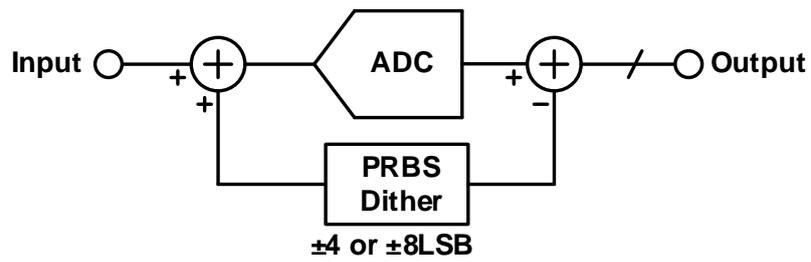


図7 疑似ランダム信号を用いたディザ注入による DNL 誤差拡散回路

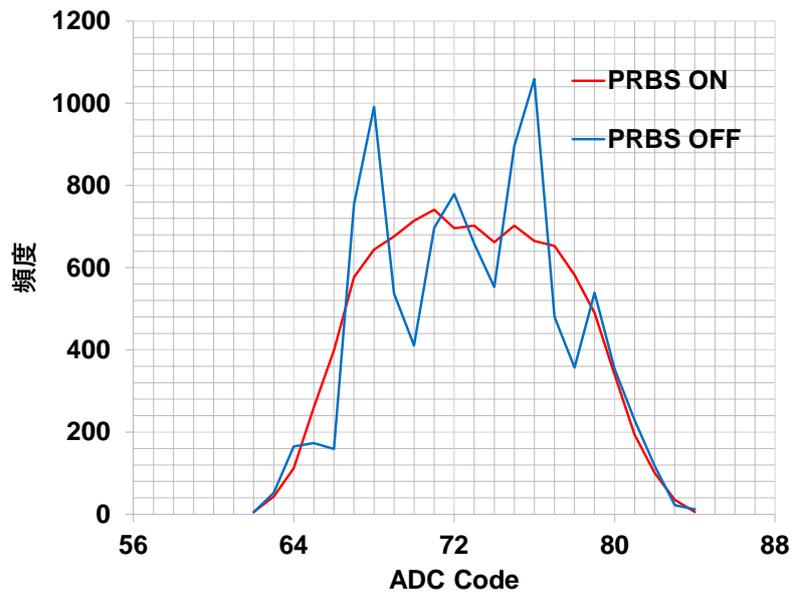


図8 誤差拡散の効果

表7 ランダムディザ機能とレジスタ設定値の関係

PRBS_EN	PRBS_MODE	ディザ注入量
0	0	0
0	1	0
1	0	±4LSB
1	1	±8LSB(推奨)

2. 3 ADC デジタルデータ出力用シリアライザ

ADC の 10bit データを転送するため、10bit→1bit にシリアル変換するためのシリアライザを実装している。データレートは ADC のサンプリングレートの 10 倍であり、例えば 100MS/s の場合には 1 チャンネルあたり 1Gbps となる。データのサンプリングタイミングを決定するための Data CLK、データの開始場所を特定するための Frame CLK を併せて出力している。これらのタイミングチャートを図 9 に示す。

シリアライザは DDR 方式を用いており、Data CLK の立ち上がりと立ち下がり両方のエッジでデータを取得することを想定している。Frame CLK は、データの先頭 2bit 分だけ 1 を出力する。8 チャンネルすべての ADC データは同期しており、同時刻にサンプリングしたデータが同フレームにて出力される。ADC のデジタルデータ D_o は 1 フレーム中で MSB を先に出し、最後に LSB を出力する。

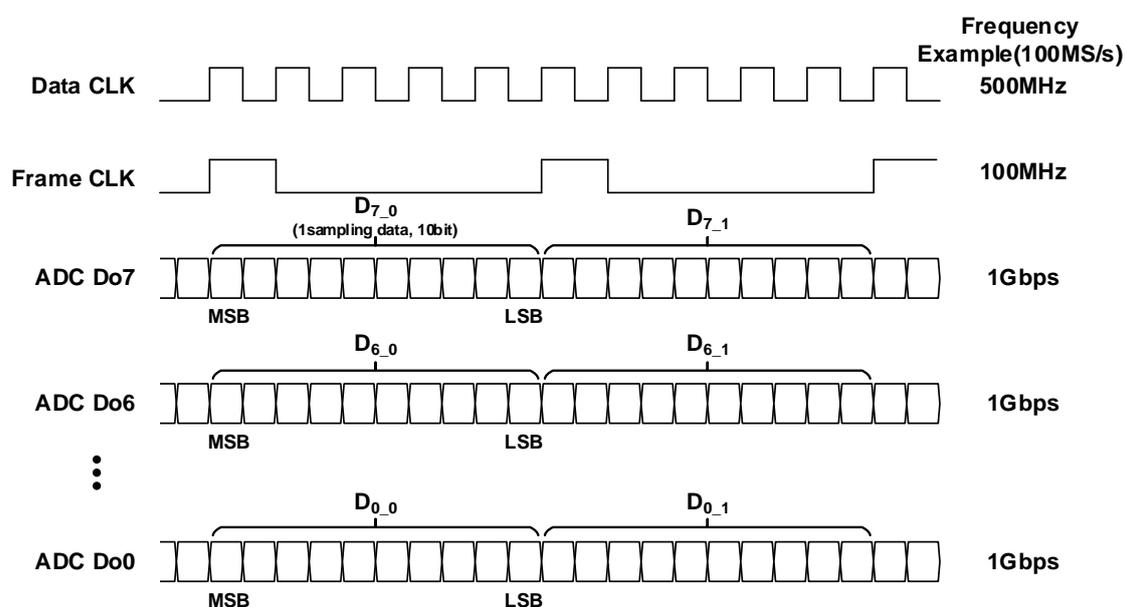


図 9 ADC デジタルデータの出カタイミングチャート

ADC データを正しく受信できていることを確認するために、シリアライザに固定のテストパターンを埋め込んでいる。このテストパターンは DO_TP_EN レジスタの値で制御されており、表 8 の通りの動作をする。

表 8 テストパターンとレジスタ設定値の関係

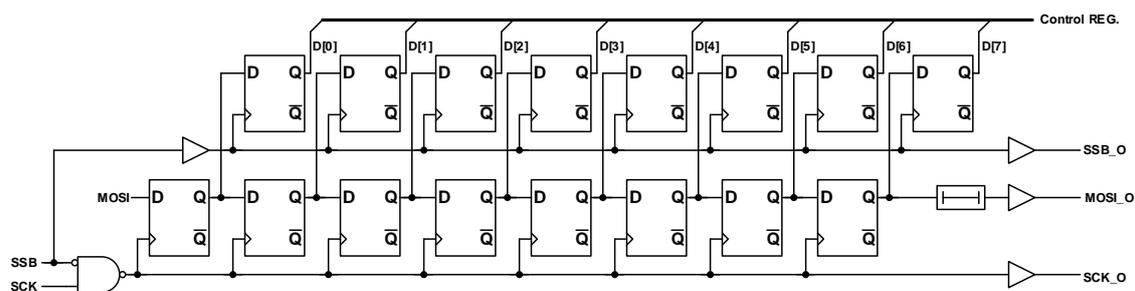
DO_TP_EN	ADC Do からの出力
0	ADC Data
1	0b1001100011

2. 4 PLL

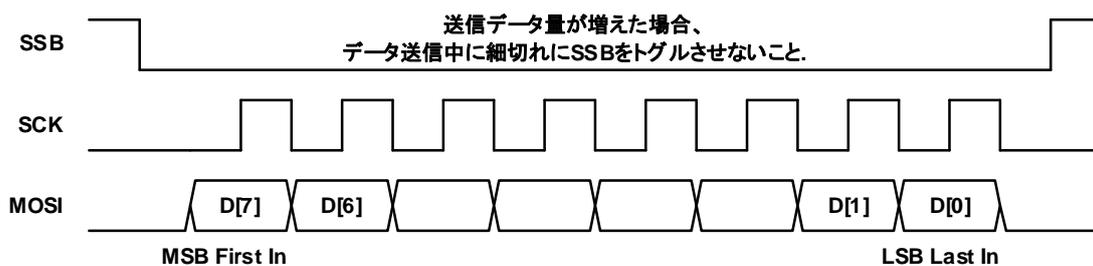
PLL は基準クロック(REF CLK)に同期して ADC の動作タイミング用クロックやシリアルライザのクロックを出力する。発振の停止・開始や発振周波数などはレジスタ設定によって制御できるが、ユーザー側はデフォルトの設定のみを使用することとし、ここでは詳細な説明は省略する。

2. 5 SPI

これまで述べてきた各回路の機能を制御するためのレジスタ設定値は SPI を用いて YAENAMI に送信する。SPI の通信モードは複数の規格が存在するが、YAENAMI では 1 モードのみに対応している。図 1 0 に 1 byte 分の SPI の回路図と、タイミングチャートを示す。



(a) 回路構成 (1byte 分)



(b) タイミングチャート

図 1 0 SPI の回路構成とタイミングチャート

具体的なレジスタの機能についてブロック毎に送信順にまとめる。灰色で塗りつぶされたセルのレジスタ設定はユーザー側では編集しないこと。送信順番は上→下 (EXT_CLK, SDFI_ADC_CLK_POL, NC, DO_TP_EN…),複数ビットある場合は MSB を先に送ること。

① PLL, Serializer (3byte)

Block	Function	# of bit	Local address																Remarks
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
PLL, Serializer	EXT_CLK	1	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	0	External clock enable (=1)
	SDIF_ADC_CLK_POL	1	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	1	SDIF CKL polarity invert (=1)
	NC	1	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	1	NC
	DO_TP_EN	1	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	0	Digital test pattern enable(=1)
	REF_DIV_CONT<1:0>	2	/	/	/	/	/	/	/	/	/	/	/	/	/	/	0	0	Reference clock divide ratio (2 ⁿ)
	OSC_R	1	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	0	OSC reset (=1)
	CLK_OUT_POL	1	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	0	Clock out polarity invert (=1)
	IBAMP<1:0>	2	/	/	/	/	/	/	/	/	/	/	/	/	/	/	1	0	Opamp current bias
	IBCP<1:0>	2	/	/	/	/	/	/	/	/	/	/	/	/	/	/	1	0	Charge pump current bias
	OSC_CONT<3:0>	4	/	/	/	/	/	/	/	/	/	/	/	0	0	0	0	OSC frequency control (0:high, F: low)	
	OSC_EN	1	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	1	OSC enable (=1)
	DIV_CONT<1:0>	2	/	/	/	/	/	/	/	/	/	/	/	/	/	/	0	0	PLL clock divide ratio
N_CONT<4:0>	5	/	/	/	/	/	/	/	/	/	/	/	0	1	0	0	0	PLL divider ratio (=N_CONT+2)	

② ASD, Ch0 (7byte) ADC_Rのみ Ch1~7 と異なる

Block	Function	# of bit	Local address																Remarks
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Ch 0	ADC_R	1	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	0	ADC Reset (=1)
	NC	1	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	0	未使用(0固定)
	S2D_GAIN	2	/	/	/	/	/	/	/	/	/	/	/	/	/	/	1	0	ADCバッファ利得制御
	TP_EN	1	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	0	Test pulse enable (=1)
	A_MON	1	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	1	Analog Monitor EN (=1)
	VB_SIPM	10	/	/	/	/	/	/	1	0	0	0	0	0	0	0	0	0	SiPMバイアス調整用DAC
	VTH_COMP	10	/	/	/	/	/	/	1	0	0	0	0	0	1	0	0	0	比較器しきい値制御用DAC
	NC	1	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	0	未使用(0固定)
	MIN_ENB	1	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	1	0:最小パルス幅補償有効, 1:無効
	NC	1	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	0	未使用(0固定)
	DO_POL	1	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	0	デジタル、比較器出力極性
	COMP_POL	1	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	0	0:非反転 1: 反転
	MIN_CAP	4	/	/	/	/	/	/	/	/	/	/	/	0	0	0	0	最小パルス幅拡張	
	MIN_DLY	3	/	/	/	/	/	/	/	/	/	/	/	1	1	1	最小パルス幅制御		
	R_SHP2	3	/	/	/	/	/	/	/	/	/	/	/	0	0	0	シェーバードバック抵抗調整		
	C_SHP	3	/	/	/	/	/	/	/	/	/	/	/	1	1	1	シェーバードバック容量調整		
	R_SHP1	3	/	/	/	/	/	/	/	/	/	/	/	1	1	1	シェーバード入力抵抗調整		
	C_VGA1	3	/	/	/	/	/	/	/	/	/	/	/	0	0	0	VGA入力容量調整		
	NC	3	/	/	/	/	/	/	/	/	/	/	/	0	0	0	未使用		
	C_VGA2	3	/	/	/	/	/	/	/	/	/	/	/	1	1	1	VGAフィードバック容量調整		

③ ASD, Ch1~7 (各 7byte) Ch1→7 の順番で送ること。

Block	Function	# of bit	Local address																Remarks
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Ch 1~7	NC	2	/	/	/	/	/	/	/	/	/	/	/	/	/	/	0	1	未使用(01固定)
	S2D_GAIN	2	/	/	/	/	/	/	/	/	/	/	/	/	/	/	1	0	ADCバッファ利得制御
	TP_EN	1	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	0	Test pulse enable (=1)
	A_MON	1	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	1	Analog Monitor EN (=1)
	VB_SIPM	10	/	/	/	/	/	/	1	0	0	0	0	0	0	0	0	0	SiPMバイアス調整用DAC
	VTH_COMP	10	/	/	/	/	/	/	1	0	0	0	0	0	1	0	0	0	比較器しきい値制御用DAC
	NC	1	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	0	未使用(0固定)
	MIN_ENB	1	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	1	0:最小パルス幅補償有効, 1:無効
	NC	1	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	0	未使用(0固定)
	DO_POL	1	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	0	デジタル、比較器出力極性
	COMP_POL	1	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	0	0:非反転 1: 反転
	MIN_CAP	4	/	/	/	/	/	/	/	/	/	/	/	0	0	0	0	最小パルス幅拡張	
	MIN_DLY	3	/	/	/	/	/	/	/	/	/	/	/	1	1	1	最小パルス幅制御		
	R_SHP2	3	/	/	/	/	/	/	/	/	/	/	/	0	0	0	シェーバードバック抵抗調整		
	C_SHP	3	/	/	/	/	/	/	/	/	/	/	/	1	1	1	シェーバードバック容量調整		
	R_SHP1	3	/	/	/	/	/	/	/	/	/	/	/	1	1	1	シェーバード入力抵抗調整		
	C_VGA1	3	/	/	/	/	/	/	/	/	/	/	/	0	0	0	VGA入力容量調整		
	NC	3	/	/	/	/	/	/	/	/	/	/	/	0	0	0	未使用		
C_VGA2	3	/	/	/	/	/	/	/	/	/	/	/	1	1	1	VGAフィードバック容量調整			

④ ADC, VCM DAC (コモンモード調整用) (2byte)

Block	Function	# of bit	Local address																Remarks
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
ADC VCM_DAC	PRBS_EN	1	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	0	ADC PRBS enable (=1)
	CAL_EN	1	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	0	ADC Calibration EN (=1)
	CAL_R	1	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	0	ADC Cal. REG. Reset (=1)
	SAM_WD<1:0>	2	/	/	/	/	/	/	/	/	/	/	/	/	/	/	0	1	ADC Sampling CLK window
	PRBS_MODE	1	/	/	/	/	/	/	/	/	/	/	/	/	/	/	/	0	ADC PRBS_MODE
VCM_DAC<9:0>	10	/	/	/	/	/	/	/	1	0	0	0	0	0	0	0	0	0	VCM DAC

3. 外形情報

YAENAMI はプラスチック LQFP 100 ピンでパッケージングされており、ピン配置は図 11 の通りである。また、それぞれのピンの機能と電気的情報を表 9 にまとめる。

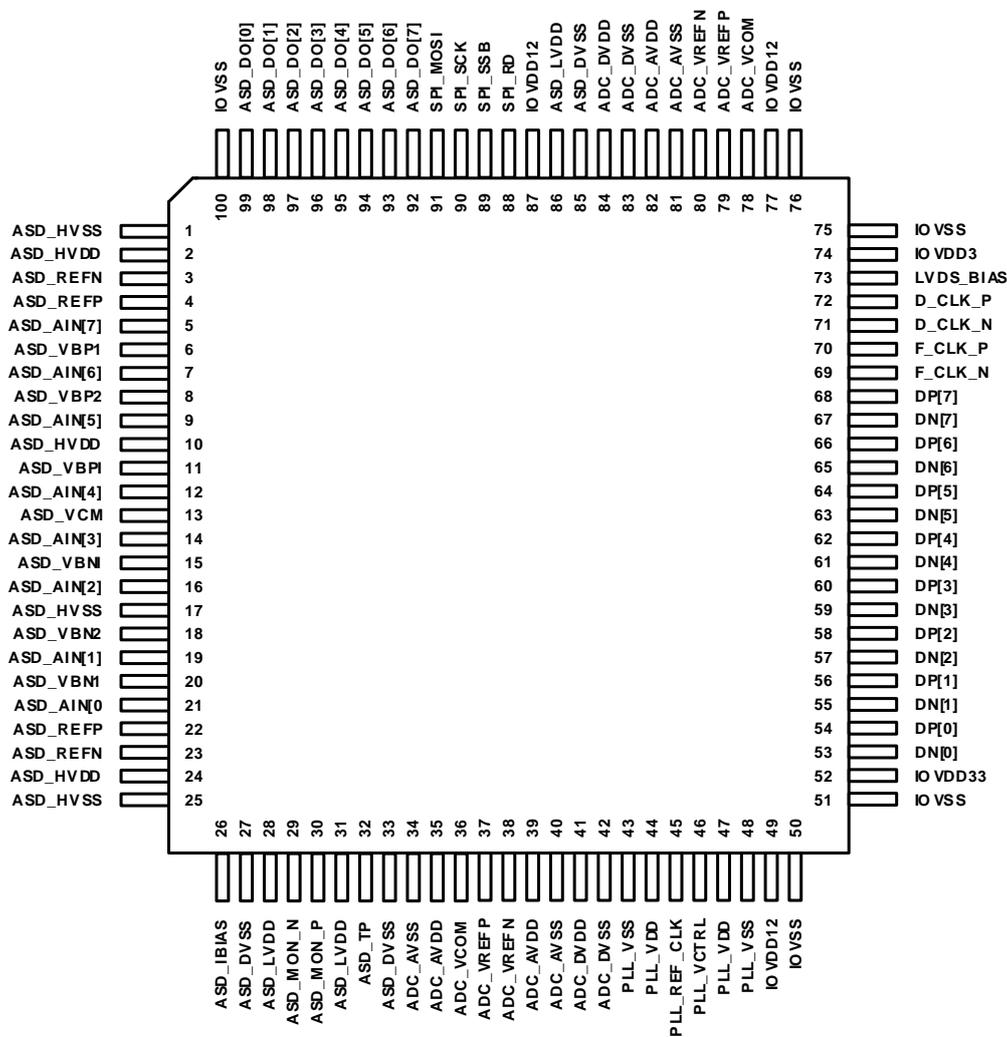


図 1 1 YAENAMI のピン配置

表 9 YAENAMI のピンの機能と電気的情報

(a) 1~25 ピン

#	Name	Type	Function	Note
1	ASD_HVSS	Ground	Ground	0V
2	ASD_HVDD	Power supply	ASD Analog power supply	3.3V
3	ASD_REFN	Analog Input	ASD DAC Reference voltage (N)	0V
4	ASD_REFP	Analog Input	ASD DAC Reference voltage (P)	3.3V
5	ASD_AIN[7]	Analog Input	ASD Analog input(Ch 7)	0~3.3V
6	ASD_VBP1	Analog Out	ASD Opamp Bias voltage, internally generated	Decoupling cap 1 μ F, to HVDD
7	ASD_AIN[6]	Analog Input	ASD Analog input(Ch 6)	0~3.3V
8	ASD_VBP2	Analog Out	ASD Opamp Bias voltage, internally generated	Decoupling cap 1 μ F, to HVDD
9	ASD_AIN[5]	Analog Input	ASD Analog input(Ch 5)	0~3.3V
10	ASD_HVDD	Power supply	ASD Analog power supply	3.3V
11	ASD_VBPI	Analog Out	ASD Opamp Bias voltage, internally generated	Decoupling cap 1 μ F, to HVDD
12	ASD_AIN[4]	Analog Input	ASD Analog input(Ch 4)	0~3.3V
13	ASD_VCM	Analog Out	ASD Common mode voltage, internally generated	Decoupling cap 1 μ F, to VSS
14	ASD_AIN[3]	Analog Input	ASD Analog input(Ch 3)	0~3.3V
15	ASD_VBNI	Analog Out	ASD Opamp Bias voltage, internally generated	Decoupling cap 1 μ F, to VSS
16	ASD_AIN[2]	Analog Input	ASD Analog input(Ch 2)	0~3.3V
17	ASD_HVSS	Ground	Ground	0V
18	ASD_VBN2	Analog Out	ASD Opamp Bias voltage, internally generated	Decoupling cap 1 μ F, to VSS
19	ASD_AIN[1]	Analog Input	ASD Analog input(Ch 1)	0~3.3V
20	ASD_VBN1	Analog Out	ASD Opamp Bias voltage, internally generated	Decoupling cap 1 μ F, to VSS
21	ASD_AIN[0]	Power supply	ASD Analog input(Ch 0)	0~3.3V
22	ASD_REFP	Analog Input	ASD DAC Reference voltage (P)	3.3V
23	ASD_REFN	Analog Input	ASD DAC Reference voltage (N)	0V
24	ASD_HVDD	Power supply	ASD Analog power supply	3.3V
25	ASD_HVSS	Ground	Ground	0V

(b) 26~50 ピン

#	Name	Type	Function	Note
26	ASD_IBIAS	Analog Input	ASD Opamp Bias current	50 μ A~100 μ A
27	ASD_DVSS	Ground	Ground	0V
28	ASD_LVDD	Power	ASD Low power supply	1.2V
29	ASD_MON_N	Analog Output	ASD Analog signal monitor (N)	0~1.2V
30	ASD_MON_P	Analog Output	ASD Analog signal monitor (P)	0~1.2V
31	ASD_LVDD	Power	ASD Low power supply	1.2V
32	ASD_TP	Digital Input	ASD Test pulse input	LVC MOS 1.2V
33	ASD_DVSS	Ground	Ground	0V
34	ADC_AVSS	Ground	Ground	0V
35	ADC_AVDD	Power	ADC Analog Power supply	1.2V
36	ADC_VCOM	Analog Input	ADC Common-mode voltage	0.6V
37	ADC_VREFP	Analog Input	ADC Reference voltage (P)	1.2V~0.9V
38	ADC_VREFN	Analog Input	ADC Reference voltage (N)	0V~0.3V
39	ADC_AVDD	Power	ADC Analog Power supply	1.2V
40	ADC_AVSS	Ground	Ground	0V
41	ADC_DVDD	Power	ADC Digital Power supply	1.2V
42	ADC_DVSS	Ground	Ground	0V
43	PLL_VSS	Ground	Ground	0V
44	PLL_VDD	Power	PLL Power supply	1.2V
45	PLL_REF_CLK	Digital Input	Reference clock for PLL	LVC MOS 1.2V
46	PLL_VCTRL	Analog In/Out	PLL Frequency control voltage	0~1.2V
47	PLL_VDD	Power	PLL Power supply	1.2V
48	PLL_VSS	Ground	Ground	0V
49	IOVDD12	Power	IO power supply 1.2V	1.2V
50	IOVSS	Ground	Ground	0V

(c) 51~75 ピン

#	Name	Type	Function	Note
51	IOVSS	Ground	IO Ground	0V
52	IOVDD33	Power	IO power supply 3.3V	3.3V
53	DN[0]	LVDS Output	ADC Digital Output (Ch 0, neg)	LVDS Output (1.2V±0.2V)
54	DP[0]	LVDS Output	ADC Digital Output (Ch 0, pos)	LVDS Output (1.2V±0.2V)
55	DN[1]	LVDS Output	ADC Digital Output (Ch 1, neg)	LVDS Output (1.2V±0.2V)
56	DP[1]	LVDS Output	ADC Digital Output (Ch 1, pos)	LVDS Output (1.2V±0.2V)
57	DN[2]	LVDS Output	ADC Digital Output (Ch 2, neg)	LVDS Output (1.2V±0.2V)
58	DP[2]	LVDS Output	ADC Digital Output (Ch 2, pos)	LVDS Output (1.2V±0.2V)
59	DN[3]	LVDS Output	ADC Digital Output (Ch 3, neg)	LVDS Output (1.2V±0.2V)
60	DP[3]	LVDS Output	ADC Digital Output (Ch 3, pos)	LVDS Output (1.2V±0.2V)
61	DN[4]	LVDS Output	ADC Digital Output (Ch 4, neg)	LVDS Output (1.2V±0.2V)
62	DP[4]	LVDS Output	ADC Digital Output (Ch 4, pos)	LVDS Output (1.2V±0.2V)
63	DN[5]	LVDS Output	ADC Digital Output (Ch 5, neg)	LVDS Output (1.2V±0.2V)
64	DP[5]	LVDS Output	ADC Digital Output (Ch 5, pos)	LVDS Output (1.2V±0.2V)
65	DN[6]	LVDS Output	ADC Digital Output (Ch 6, neg)	LVDS Output (1.2V±0.2V)
66	DP[6]	LVDS Output	ADC Digital Output (Ch 6, pos)	LVDS Output (1.2V±0.2V)
67	DN[7]	LVDS Output	ADC Digital Output (Ch 7, neg)	LVDS Output (1.2V±0.2V)
68	DP[7]	LVDS Output	ADC Digital Output (Ch 7, pos)	LVDS Output (1.2V±0.2V)
69	F_CLK_N	LVDS Output	Frame Clock Output (neg)	LVDS Output (1.2V±0.2V)
70	F_CLK_P	LVDS Output	Frame Clock Output (pos)	LVDS Output (1.2V±0.2V)
71	D_CLK_N	LVDS Output	Data Clock Output (neg), REF Clock × 10	LVDS Output (1.2V±0.2V)
72	D_CLK_P	LVDS Output	Data Clock Output (pos), REF Clock × 10	LVDS Output (1.2V±0.2V)
73	LVDS_BIAS	Analog Input	Bias voltage for LVDS	IOVDD33~0.76V
74	IOVDD33	Power	IO power supply 3.3V	3.3V
75	IOVSS	Ground	Ground	0V

(d) 76~100 ピン

#	Name	Type	Function	Note
76	IOVSS	Ground	Ground	0V
77	IOVDD12	Power	IO power supply 1.2V	1.2V
78	ADC_VCOM	Analog Input	ADC Common-mode voltage	0.6V
79	ADC_VREFP	Analog Input	ADC Reference voltage (P)	1.2V~0.9V
80	ADC_VREFN	Analog Input	ADC Reference voltage (N)	0V~0.3V
81	ADC_AVSS	Ground	Ground	0V
82	ADC_AVDD	Power	ADC Analog Power supply	1.2V
83	ADC_DVSS	Ground	Ground	0V
84	ADC_DVDD	Power	ADC Digital Power supply	1.2V
85	ASD_DVSS	Ground	Ground	0V
86	ASD_LVDD	Power	ASD Low voltage power supply	1.2V
87	IOVDD12	Power	IO power supply 1.2V	1.2V
88	SPI_RD	Digital Input	SPI Initial Data set (Not used)	LVC MOS 1.2V, pull down
89	SPI_SSB	Digital Input	SPI Slave Select (neg)	LVC MOS 1.2V
90	SPI_SCK	Digital Input	SPI Clock	LVC MOS 1.2V
91	SPI_MOSI	Digital Input	SPI Master Out Slave In	LVC MOS 1.2V
92	ASD_DO[7]	Digital Output	Digital Output (Ch 7)	LVC MOS 1.2V
93	ASD_DO[6]	Digital Output	Digital Output (Ch 6)	LVC MOS 1.2V
94	ASD_DO[5]	Digital Output	Digital Output (Ch 5)	LVC MOS 1.2V
95	ASD_DO[4]	Digital Output	Digital Output (Ch 4)	LVC MOS 1.2V
96	ASD_DO[3]	Digital Output	Digital Output (Ch 3)	LVC MOS 1.2V
97	ASD_DO[2]	Digital Output	Digital Output (Ch 2)	LVC MOS 1.2V
98	ASD_DO[1]	Digital Output	Digital Output (Ch 1)	LVC MOS 1.2V
99	ASD_DO[0]	Digital Output	Digital Output (Ch 0)	LVC MOS 1.2V
100	IOVSS	Ground	Ground	0V

4. 電源電圧及び消費電流

YAENAMI は回路ブロックごとに電源を分けているが、同一電圧電源に対しては共通の電源から電圧供給しても差し支えない。電源電圧は 3.3V, 1.2V の 2 種類を必要とし、それぞれの同一電圧の電源をまとめて供給した際の消費電流は以下の通りである。

- ・ 3.3V 系電源 ~ 100mA
- ・ 1.2V 系電源 ~ 50mA @75MS/s

ただし、電流値は信号のヒットレートや ADC のサンプリングレートにより上下動する。LDO などの電源 IC を用いて電流供給する場合は 2 倍以上の電流供給能力を有するものを使用することを推奨する。

5. 注意事項

YAENAMI はこれまでに 3 回の試作を行っており、v1, v2, v3 の 3 つのバージョンが存在する。本マニュアルは v3 の情報を基に作成しており、v1, v2 との完全な互換性はない。ただし実装している機能に違いはあるものの、ピン配置や電氣的仕様は同様のため、RAYRAW 基板は同じものを使用できる。それぞれのバージョンの違いを表 10 にまとめる。

表 10 YAENAMI のバージョンと追加実装された機能

v1 に対して追加実装した機能	v2	v3
アンダーシュート対策	×	○
ランダムディザ	○	○
シリアルライザの改善 (サンプリングレートの向上)	○	○
アナログテストパルスの信号量調整	○	○
デジタル出力テストパターン	○	○
最小パルス幅補償	×	○
SPI 電源分離	○	○

v1~3 それぞれで SPI のレジスタに設定されている機能に一部違いが存在するが、v1, v2 は試作品の位置付けであり広く普及することを目的としていないため、一般的なデータの公開は控える。